

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
6 janvier 2005 (06.01.2005)

PCT

(10) Numéro de publication internationale
WO 2005/000733 A2

(51) Classification internationale des brevets⁷ : B81B 7/00,
H01L 21/822, 21/02, 21/334, 23/00, 29/94

(21) Numéro de la demande internationale :
PCT/FR2004/001565

(22) Date de dépôt international : 23 juin 2004 (23.06.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
03/07617 24 juin 2003 (24.06.2003) FR

(71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31/33, rue de la Fédération, F-75752 Paris Cedex 15 (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : JOLY,
Jean-Pierre [FR/FR]; 22, place Salvadore Allende,
F-38120 Saint-Egrève (FR). ULMER, Laurent [FR/FR];
55bis, rue de Stalingrad, F-38100 Grenoble (FR). PARAT,
Guy [FR/FR]; 26, rue du Drac, F-38640 Claix (FR).

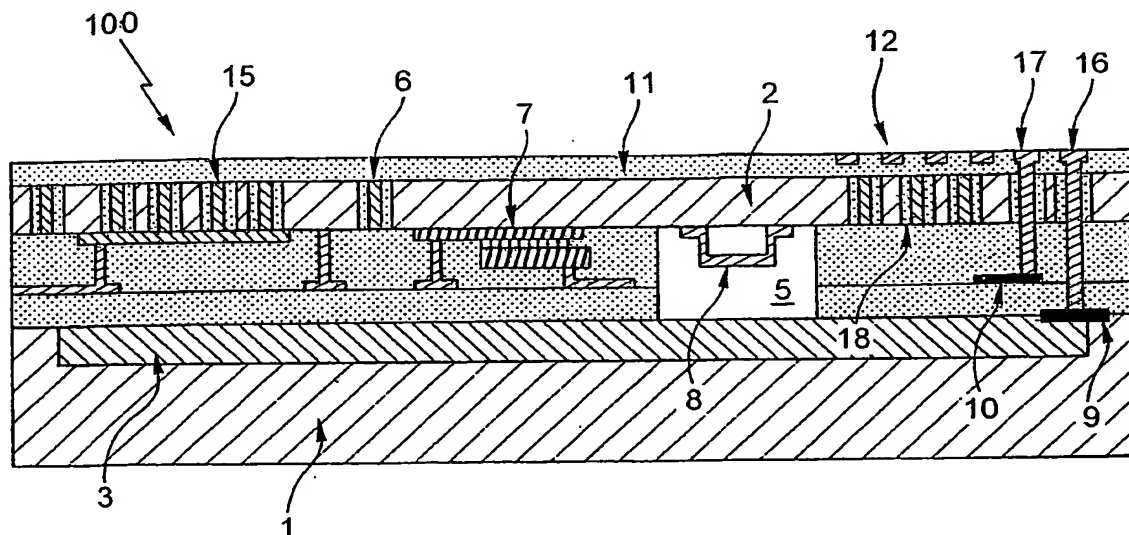
(74) Mandataire : SANTARELLI; 14, avenue de la Grande-
Armée, B.P. 237, F-75822 Paris Cedex 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,
KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG,
MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH,
PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: INTEGRATED CIRCUIT ON HIGH PERFORMANCE CHIP

(54) Titre : CIRCUIT INTEGRE SUR PUCE DE HAUTES PERFORMANCES



(57) Abstract: The invention relates to a production method for a chip, comprising an integrated circuit with active components and passive components. Said method comprises the following steps: the production of a first substrate (1), containing at least one active component (3) of said active components and a second substrate (2), containing the critical components (7,8) of said passive components (in other words, the passive components whose embodiment directly on the substrate containing the active circuits and the metallic interconnections would cause problems), subsequently the two substrates (1) and (2) are joined by layer transfer. The active components (3) can be, for example, transistors. The critical passive components can for example be MEMS (8) and/or capacitors (7), particularly capacitors the dielectric material of which is a perovskite. The invention further relates to a chip (100) produced by the above method.

[Suite sur la page suivante]

WO 2005/000733 A2



(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— sans rapport de recherche internationale, sera republiée dès réception de ce rapport

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : La présente invention concerne un procédé de fabrication de puce contenant un circuit intégré comprenant des composants actifs et des composants passifs. Ce procédé comprend les étapes suivantes : on réalise un premier substrat (1) contenant au moins un composant actif (3) parmi lesdits composants actifs, et un second substrat (2) contenant les composants « critiques » (7,8) parmi lesdits composants passifs (c'est à dire des composants passifs dont l'élaboration directement sur le substrat contenant les circuits actifs et les interconnexions métalliques poserait problème), puis l'on scelle les deux substrats (1) et (2) par report de couche. Ces composants actifs (3) peuvent par exemple être des transistors. Ces composants passifs « critiques » peuvent par exemple être des MEMS (8) et/ou des condensateurs (7), notamment des condensateurs dont le matériau diélectrique est une pérovskite. L'invention concerne également une puce (100) fabriquée au moyen d'un procédé selon l'invention.

Circuit intégré sur puce de hautes performances

La présente invention concerne le domaine des circuits intégrés, et notamment celui des composants passifs intégrés sur puce.

5 Dans le domaine des circuits intégrés, on cherche de plus en plus :

- à réduire la taille prise par les composants,
- à diminuer les coûts de fabrication, et
- à introduire de nouvelles fonctions.

Pour atteindre ces objectifs, il est nécessaire d'intégrer de façon collective sur une même puce de circuit intégré analogique ou numérique, un nombre de plus en plus grand de composants qui étaient autrefois fabriqués séparément. Il s'agit essentiellement de trois catégories de composants : d'une part les circuits dits « actifs » (transistors), d'autre part les composants dits « passifs » (résistances, condensateurs, inductances), et enfin les MEMS
10 (initiales des mots anglais « *Micro-Electro-Mechanical Systems* », c'est-à-dire « Systèmes Electro-mécaniques Microscopiques ») (filtres acoustiques, interrupteurs radiofréquence, condensateurs à capacités variables).

On peut intégrer les composants passifs et/ou les MEMS indépendamment des transistors, mais leur intégration monolithique avec les transistors est la plus intéressante en terme de compacité et de coût. Toutefois,
20 cette intégration monolithique se heurte à un certain nombre de difficultés technologiques.

Premièrement, la nature des couches, ou les traitements nécessités par la fabrication des composants passifs, ne sont pas toujours facilement
25 compatibles avec une fabrication sur les circuits actifs.

Par exemple, il existe des cas où l'élaboration d'un second matériau après celle d'un premier matériau dans un empilement sur tranche de silicium nécessite l'utilisation d'une température supérieure à celle à partir de laquelle ledit premier matériau subit des dégradations inacceptables. C'est notamment
30 le cas pour l'intégration de condensateurs de découplage dans les circuits intégrés. Ces condensateurs doivent stocker une charge électrique élevée ; la charge électrique étant proportionnelle à la capacité et à la tension

d'alimentation, l'augmentation de la capacité permet l'amélioration des performances recherchées (on rappelle que la capacité est proportionnelle à la constante diélectrique, à la surface d'électrode, et à l'inverse de l'épaisseur du diélectrique du condensateur).

5 On réalise classiquement les condensateurs sur la même tranche que les transistors. Pour abaisser les coûts de production, il est naturellement souhaitable d'utiliser à cet effet des condensateurs de petite taille. On peut alors envisager d'obtenir les capacités requises en faisant appel à des matériaux diélectriques à très haute constante diélectrique comparativement aux
10 matériaux usuels (SiO_2 , Si_3N_4 , Ta_2O_5 , ZrO_2 , ou Al_2O_3).

Or il existe des matériaux ferroélectriques, appartenant à la classe des « pérovskites », qui possèdent des constantes diélectriques très élevées (constante relative de plusieurs centaines d'unités) ; les pérovskites constituent l'essentiel des matériaux étudiés pour des applications de condensateurs à forte
15 capacité dans la gamme souhaitée de constantes diélectriques (voir par exemple l'article de T. Ayguavives *et al.* intitulé « *Physical Properties of (Ba,Sr)TiO₃ Thin Films used for Integrated Capacitors in Microwave Applications* », IEEE 2001). La phase cristalline pérovskite s'obtient à des températures habituellement comprises entre 600°C et 700°C. Mais de telles températures sont incompatibles avec le
20 métal d'interconnexion des transistors, à base d'aluminium ou de cuivre. Si certains procédés connus à basse température (voir par exemple l'article de D. Liu *et al.* intitulé « *Integrated Thin Film Capacitor Arrays* », International Conference on High Density Packaging and MCMs, 1999) font appel à une pérovskite, ils concernent en fait une phase où la pérovskite n'est pas pure ou
25 est de qualité structurale ou micro-structurale médiocre, ce qui fait que la constante diélectrique est très inférieure à celle du même matériau recuit à plus haute température.

Les procédés classiques mentionnés ci-dessus ne permettent donc pas de tirer véritablement parti des avantages des pérovskites. En effet, la
30 température maximum autorisée décroît progressivement au fur et à mesure des étapes réalisées, et la principale difficulté provient de ce que la mise en place d'un matériau à procédé « chaud » (le diélectrique) intervient

chronologiquement après celle d'un matériau à procédé « froid » (le métal d'interconnexion).

On connaît néanmoins une méthode pour porter le diélectrique à plus haute température que ce que peuvent supporter les métaux d'interconnexion.

5 Cette méthode consiste à isoler le diélectrique du métal d'interconnexion par une couche de protection thermique, puis à recuire le diélectrique à l'aide d'un laser à impulsions suffisamment brèves pour que, si la diffusion thermique est assez faible, la température du métal demeure inférieure à la température du diélectrique et soit acceptable (voir par exemple l'article de P.P. Donohue *et al.*

10 intitulé « *Pulse-Extended Excimer Laser Annealing of Lead Zirconate Titanate Thin Films* », Actes du 12^{ème} Symposium International sur les Ferroélectriques Intégrés, Aachen, Allemagne, mars 2000, publié dans *Integrated Ferroelectrics*, vol. 31, pages 285 à 296, 2000). Le contrôle de cette méthode est toutefois délicat, car la couche de protection reste à terme sur la tranche. Elle ne peut donc

15 pas être très épaisse (elle est habituellement inférieure à 2 μm), et elle peut affecter les performances électriques des dispositifs. La différence de température entre le métal d'interconnexion et le diélectrique est donc limitée, autrement dit la température à laquelle le diélectrique peut être soumise est limitée. De plus, l'empilement est soumis à un fort gradient thermique pendant

20 cette opération, ce qui peut engendrer une température de surface trop élevée, une cristallisation non homogène du diélectrique, ou encore des dégradations de matériaux, comme des microfissures, dues aux dilatations thermiques.

Une solution connue à ce problème de température consiste à réaliser les dispositifs passifs intégrant les condensateurs sur une autre tranche

25 de silicium que le substrat contenant les composants actifs, puis à connecter les deux puces entre elles par câblage filaire ou par l'intermédiaire de microbilles (voir par exemple l'article de R. Heistand *et al.* intitulé « *Advances in Passive Integration for C/RC Arrays & Networks with Novel Thin & Thick Film Materials* », 36^{ème} Conférence Nordique IMAPS, Helsinki, 1999). Mais ces

30 méthodes présentent certains inconvénients :

- le câblage filaire ne permet pas d'établir des connexions de courte distance entre condensateurs et transistors, et

- les connexions par microbilles ne peuvent être réalisées qu'une fois au-dessus d'un circuit ; si les condensateurs sont réalisés de cette manière, il n'est plus possible de rajouter d'autres fonctions telles que, par exemple, des micro-interrupteurs ou des filtres à onde de surface.

5 Pour éviter ces problèmes, on limite classiquement la température d'élaboration à 450°C environ, ce qui permet d'intégrer les composants dans les métallisations usuelles, ou au-dessus d'elles, dans les circuits intégrés à base d'aluminium ou de cuivre (voir par exemple l'article de S. Jenei *et al.* intitulé « *High-Q Inductors and Capacitors on Si Substrate* », IEEE 2001, ou l'article de
10 Bryan C. Hendrix *et al.* intitulé « *Low-Temperature Process for High-Density Thin-Film Integrated Capacitors* », International Conference on High-Density Interconnect and Systems Packaging, 2000). De ce fait, ces procédés classiques sont fortement limités en ce qui concerne le type de matériau et les constantes diélectriques accessibles. Les capacités désirées sont donc atteintes
15 en ayant recours à des condensateurs de grande surface, ce qui limite les possibilités d'intégration, et entraîne un surcoût de la puce en raison de l'augmentation de la surface qu'elle occupe sur la tranche de silicium.

On connaît néanmoins une méthode pour augmenter la surface des électrodes sans pour autant augmenter les dimensions latérales de la puce (voir
20 l'article de F. Roozeboom *et al.* intitulé « *High-Value MOS Capacitor Arrays in Ultradeep Trenches in Silicon* », publié dans *Microelectronic Engineering*, vol. 53, pages 581 à 584, Elsevier Science 2000). Cette méthode consiste à exploiter la profondeur du substrat pour intégrer des condensateurs de découplage de type MOS (initiales des mots anglais « *Metal-Oxide-Semiconductor* »), en creusant un
25 réseau de tranchées étroites et profondes dans le substrat : on dispose autour de ces tranchées d'abord une couche de diélectrique, puis une couche formant électrode ; l'autre électrode du réseau de condensateurs recouvre la surface du substrat. Mais outre la difficulté de réaliser des couches de diélectrique uniformes dans les tranchées, l'utilisation de condensateurs en tranchées rend difficile
30 l'intégration planaire des composants passifs avec les composants actifs.

Plus généralement, on voit qu'une deuxième difficulté soulevée par l'intégration monolithique des composants passifs ou des MEMS avec les

transistors est qu'on ne peut profiter de la dimension verticale pour obtenir de meilleures caractéristiques, ou une meilleure compacité pour les composants passifs.

Une troisième difficulté soulevée par l'intégration monolithique des composants passifs ou des MEMS avec les transistors est que les caractéristiques des composants passifs sont perturbées par le type de substrat utilisé pour les circuits actifs.

A titre d'exemple, les substrats utilisés pour les circuits CMOS ou BICMOS ont des conductivités au plus de l'ordre de $10 \Omega \cdot \text{cm}$. Les courants induits dans ces substrats par les inductances ou les lignes conductrices produisent des pertes importantes et diminuent ainsi les facteurs de qualité (grande inductance, fréquence de résonance élevée, faible capacité parasite) de ces structures.

Une première solution connue consiste à éliminer une partie du substrat sous les zones devant accueillir les inductances et les lignes conductrices (voir par exemple le brevet US-5,539,241). Une deuxième solution connue consiste à rendre isolant le substrat sous les zones devant accueillir les inductances et les lignes conductrices (voir par exemple l'article de H.-S. Kim *et al.* intitulé « *A Porous-Si-based Novel Isolation Technology for Mixed-Signal Integrated Circuits* », Symposium on VLSI Technology, 2000). On connaît encore une troisième solution, d'après le brevet US-6,310,387 : on structure les couches conductrices sous-jacentes en réalisant un grand nombre de petites zones conductrices en damier séparées les unes des autres par un isolant, et non reliées à la masse ; ces zones servent de blindage car il s'y forme, en fonctionnement, de petits courants de Foucault empêchant le champ magnétique de pénétrer jusqu'au substrat ; ces zones ont une taille suffisamment faible pour éviter que ces courants de Foucault n'induisent dans les inductances un flux magnétique opposé à celui qu'on veut créer.

Mais ces diverses techniques sont complexes à mettre en œuvre, peuvent nuire à la robustesse du circuit intégré, et rendent difficile la mise en place des composants actifs.

Enfin, une difficulté soulevée spécifiquement par l'intégration monolithique des MEMS avec les transistors est qu'il faut ajouter un capot destiné à protéger les éléments mécaniques, sans perturber le fonctionnement de ces derniers. Une solution connue consiste à sceller une plaquette de silicium de même diamètre que la plaquette sur laquelle ont été réalisés les circuits (voir par exemple l'article de H. Tilmans *et al.* intitulé « *Zero-Level Packaging for MEMS or MST Devices: the IRS Method* », *mstnews* 1/00). Cette technologie est assez coûteuse : en effet, il faut ajouter au coût du substrat supplémentaire le coût du scellement, celui d'un amincissement, et celui d'une gravure locale pour accéder aux plots électriques de sortie à la surface du circuit, tout cela uniquement pour réaliser la fonction de protection par capotage.

Pour résoudre la plupart des difficultés décrites ci-dessus, l'invention propose, selon un premier aspect, un procédé de fabrication de puce contenant un circuit intégré comprenant des composants actifs et des composants passifs, ledit procédé étant remarquable en ce qu'il comprend les étapes suivantes :

- on réalise un premier substrat contenant au moins un composant actif parmi lesdits composants actifs, et un second substrat contenant les composants « critiques » parmi lesdits composants passifs, et

- on scelle les deux substrats par report de couche.

Ces composants actifs peuvent par exemple être des transistors.

On dira que des composants passifs sont « critiques » lorsque leur élaboration directement sur le substrat contenant les circuits actifs et les interconnexions métalliques poserait problème ; pour les raisons expliquées ci-dessus, il peut s'agir par exemple de MEMS, et/ou d'inductances de haute qualité, et/ou de condensateurs dont le matériau diélectrique est une pérovskite.

Certains de ces composants passifs critiques, tels que les MEMS et/ou les condensateurs, sont de préférence élaborés dans ledit second substrat avant ledit scellement des deux substrats.

Grâce à l'invention, on peut notamment élaborer sur une tranche de silicium un second matériau à une température supérieure à la température maximum à laquelle peut être portée la tranche de silicium du fait d'un premier matériau déjà présent sur la tranche. L'invention permet cela en élaborant le

second matériau séparément de la tranche de silicium sur laquelle il est destiné à se trouver, puis en intégrant le second matériau sur cette tranche par les techniques de report de couche. Dans le cas particulier des condensateurs de découplage, l'invention permet de porter le matériau diélectrique du
5 condensateur à des températures permettant la cristallisation dans la phase pérovskite, sans aucune restriction imposée par le métal d'interconnexion sous-jacent, et sans avoir recours à une barrière de protection thermique entre les deux matériaux.

Le procédé selon l'invention permet également de réaliser
10 commodément une structure protégeant les MEMS. En effet, les MEMS étant élaborés à la surface du second substrat qui est destiné à être reporté sur le premier substrat, c'est ce premier substrat lui-même (dans lequel on a préalablement aménagé un évidement adéquat) qui sert, après scellement des deux substrats, de structure de protection pour les MEMS. On peut ainsi
15 avantageusement faire l'économie de la réalisation d'un capot selon l'art antérieur.

Selon des caractéristiques particulières de l'invention, on élabore en outre, au cours de la réalisation du second substrat, des tranchées d'isolation diélectrique destinées à réduire les interférences électromagnétiques entre les
20 divers composants de la future puce.

Selon d'autres caractéristiques particulières, on élabore en outre, au cours de la réalisation du second substrat, des composants passifs non critiques tels que des condensateurs en tranchées.

Certains autres composants passifs critiques sont de préférence
25 élaborés *après* ledit scellement des deux substrats, au voisinage de la face du second substrat opposée à la face de scellement. Dans le cas des inductances, cela permet avantageusement de réduire considérablement les effets des courants induits (pertes d'énergie, perturbations subies par les composants actifs, et ainsi de suite), même lorsque le second substrat est conducteur,
30 puisqu'on place ainsi ces inductances loin du premier substrat.

Afin de diminuer encore plus les pertes par courants induits, et d'améliorer les facteurs de qualité des inductances, celles-ci seront, selon des

caractéristiques particulières, élaborées au-dessus de tranchées d'isolation inductive préalablement aménagées dans le second substrat.

Selon un second aspect, l'invention concerne également diverses puces contenant des circuits intégrés.

5 Elle concerne ainsi, premièrement, une puce qui a été fabriquée au moyen de l'un quelconque des procédés décrits succinctement ci-dessus.

Deuxièmement, l'invention concerne une puce contenant un circuit intégré comprenant des composants actifs et des composants passifs, et constituée d'un seul empilement de couches, ladite puce étant remarquable en
10 ce qu'elle comporte une interface entre deux desdites couches telle que la partie de la puce située d'un côté de ladite interface contienne au moins un composant actif parmi lesdits composants actifs, et l'autre partie de la puce contienne les composants « critiques » parmi lesdits composants passifs.

Selon des caractéristiques particulières, lesdits composants passifs
15 critiques comprennent des condensateurs dont le matériau diélectrique est une pérovskite, et/ou des MEMS enfermés dans des évidements situés à l'intérieur de ladite puce.

Selon des caractéristiques particulières, la puce comprend en outre des tranchées d'isolation diélectrique.

20 Selon d'autres caractéristiques particulières, ledit circuit intégré comprend en outre des composants passifs non critiques tels que des condensateurs en tranchées.

Selon d'autres caractéristiques particulières, lesdits composants actifs sont disposés au voisinage d'une première face de la puce, et ledit circuit
25 intégré comprend en outre des inductances situées au voisinage de la face de la puce opposée à ladite première face.

Selon des caractéristiques encore plus particulières, lesdites inductances sont situées au-dessus de tranchées d'isolation inductive.

Selon d'autres caractéristiques particulières, lesdits composants
30 actifs sont disposés au voisinage d'une première face de la puce, et celle-ci comprend en outre des lignes d'interconnexion traversantes qui émergent au voisinage de la face de la puce opposée à ladite première face.

Les avantages offerts par ces puces sont essentiellement les mêmes que ceux offerts par les procédés de fabrication correspondants.

D'autres aspects et avantages de l'invention apparaîtront à la lecture de la description détaillée, que l'on trouvera ci-dessous, de modes particuliers
5 de réalisation donnés à titre d'exemples non limitatifs. Cette description se réfère aux dessins annexés, dans lesquels :

- la figure 1 représente un premier substrat traité selon un mode de réalisation de l'invention,
- la figure 2 représente un second substrat traité selon ce mode de
10 réalisation de l'invention,
- la figure 3 représente l'ensemble obtenu après report, selon l'invention, dudit second substrat 2 sur ledit premier substrat 1,
- la figure 4 représente la puce obtenue selon ce mode de réalisation de l'invention, et
15 - la figure 5 est une vue agrandie d'une partie de la figure 4.

Conformément au procédé selon l'invention, on commence par préparer deux substrats 1 et 2, dans un ordre quelconque, ou simultanément.

La **figure 1** représente un « premier » substrat 1 constitué par une tranche de silicium ou d'un matériau semi-conducteur quelconque de type III-V. Ce
20 premier substrat 1 contient d'une part des composants actifs 3 qui ont été intégrés selon une technique connue quelconque (par exemple CMOS ou BICMOS), et d'autre part des interconnexions métalliques (non représentées).

Dans ce mode de réalisation, on dépose une couche épaisse 4 d'isolant, par exemple de SiO₂, que l'on grave localement (évidements 5), le
25 cas échéant, à l'aplomb des composants MEMS éventuellement prévus sur le deuxième substrat.

Enfin, on prévoira des plots de métallisation 9, qui seront ultérieurement reliés à d'autres parties de la puce comme expliqué plus bas.

La **figure 2** représente une tranche formant un « second » substrat
30 2. Dans ce mode de réalisation, ce substrat 2 a été muni :

- de tranchées d'isolation diélectrique 6,
- de condensateurs à très haute constante diélectrique 7,

- de MEMS 8,
- de condensateurs en tranchées 15, et
- de tranchées d'isolation inductive 18.

On va décrire en détail la fabrication de condensateurs 7 dont le
5 matériau diélectrique est une pérovskite. On envisagera à titre d'exemples deux modes de réalisation.

Selon un premier mode de réalisation de condensateurs 7 dont le
matériau diélectrique est une pérovskite, on prend un second substrat 2 en un
matériau isolant, ou en silicium de haute résistivité, ou en un semi-isolant tel
10 que le verre. On met alors en œuvre les étapes suivantes :

- a) on dépose une couche d'oxyde de silicium SiO_2 ;
- b) on dépose une première électrode, qui peut être composée de
plusieurs couches de matériaux métalliques, par exemple une couche de Ti ou
de RuO_2 ou de IrO_2 , recouverte d'une couche de platine ;
- 15 c) on dépose, selon une méthode connue quelconque (par exemple
« Sol Gel », pulvérisation cathodique, ou « MOCVD »), le matériau diélectrique
constitué par une couche mince de pérovskite telle que SrTiO_3 , $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$
(appelée « PZT ») ou $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (appelée « BST ») ;
- d) on recuit à haute température (par exemple 700°C) ce diélectrique
20 pour obtenir la phase pérovskite ;
- e) on dépose une seconde électrode, qui peut être composée de
plusieurs couches de matériaux métalliques, par exemple une couche de
platine recouverte d'une couche de Ti ; et
- f) de préférence, on dépose une couche d'isolant, par exemple de
25 SiO_2 , pour favoriser le collage ultérieur (voir ci-dessous).

Selon un autre procédé de fabrication des condensateurs 7 dont le
matériau diélectrique est une pérovskite, on peut utiliser, en guise de second
substrat 2, une couche épaisse de pérovskite obtenue au préalable. Dans ce
cas, on omettra les étapes a) à d) décrites ci-dessus.

30 Le procédé selon l'invention permet ainsi de réaliser, à la
température élevée requise, des condensateurs possédant un diélectrique de

très haute constante diélectrique, sans craindre pour autant d'endommager les composants actifs ou les interconnexions métalliques du futur circuit intégré.

Les composants MEMS 8, qui peuvent être à fonctionnement électromécanique ou électroacoustique, tels que des micro-commutateurs
5 électromécaniques ou des résonateurs acoustiques, sont réalisés de manière connue par une succession de dépôts et de gravures.

On va à présent décrire en détail la fabrication de condensateurs en tranchées 15. Il s'agit de condensateurs de large surface d'électrodes, et donc, eux aussi, de forte capacité, qui sont implantés conformément à l'article de
10 F. Roozeboom cité ci-dessus. Plus précisément :

a) on réalise la gravure de tranchées selon des motifs prédéfinis et sur une profondeur légèrement supérieure à l'épaisseur du futur substrat après amincissement (voir ci-dessous) ;

b) on fait croître sur les faces de chaque tranchée un diélectrique de
15 haute qualité ; l'épaisseur de ce diélectrique doit être aussi faible que possible de façon à ce que la capacité des condensateurs 15 soit aussi grande que possible ; par exemple, si l'on prévoit que la tension qui sera appliquée aux bornes des condensateurs sera de quelques volt, on fera croître une épaisseur de diélectrique comprise, de préférence, entre 10 et 50 nm ; dans le cas où le
20 substrat 2 est en silicium, on utilisera avantageusement pour cela l'oxyde de silicium obtenu par effet thermique, en association éventuellement avec une nitruration ou un dépôt de nitrure de silicium ; on peut aussi utiliser, par exemple, des diélectriques de plus haute permittivité comme Al_2O_3 , HgO_2 , ou Ta_2O_5 déposés de manière connue ;

25 c) on remplit les tranchées d'un matériau fortement conducteur pour réaliser une des armatures du condensateur; on peut par exemple utiliser pour ce faire du silicium polycristallin non dopé (ou dopé *in situ*) ; et

d) on réalise une gravure localisée par masquage dudit matériau fortement conducteur pour délimiter des zones en surface du substrat 2 et
30 isoler les armatures du condensateur du reste du circuit semi-conducteur.

On choisira de préférence, pour constituer le substrat 2, un matériau de haute conductivité (tel que le silicium) car le substrat constituera une des

armatures des condensateurs en tranchées. Les flancs des tranchées du côté du substrat devront être fortement dopés pour rendre le substrat suffisamment conducteur. Enfin, on réalisera un contact ohmique sur le substrat afin de pouvoir relier une électrode des condensateurs à un circuit électrique.

5 En variante, dans le cas des circuits intégrés ne comportant pas de condensateurs en tranchées, il est préférable au contraire de choisir, pour constituer le deuxième substrat 2, un matériau de faible conductivité (tel que le verre) pour limiter les pertes dues aux courants induits engendrés par les inductances (voir ci-dessous).

10 En offrant la possibilité de creuser des tranchées profondes dans le second substrat 2, l'invention permet de développer une grande surface d'électrodes pour ces condensateurs, et d'augmenter ainsi considérablement, pour une surface latérale donnée de substrat, la valeur de la capacité par rapport à un procédé d'intégration monolithique classique.

15 Quant aux tranchées d'isolation inductive 18, elles sont réalisées conformément à l'enseignement du brevet US-6,310,387 résumé ci-dessus. Comme on l'a expliqué, ces tranchées 18 contribuent à la réalisation d'inductances de haute qualité.

20 Enfin, on réalise des métallisations permettant de confectionner des contacts sur les armatures des condensateurs de très forte capacité 7 et sur les MEMS 8, et de les relier entre eux. On prévoira également des plots de métallisation 10 qui seront ensuite reliés à d'autres parties de la puce par des passages aménagés à travers le second substrat 2 (voir plus bas).

25 De préférence, on appliquera ici un polissage mécano-chimique à la couche supérieure de la tranche ainsi obtenue, afin de lui conférer une rugosité favorisant le report de couche par adhésion moléculaire.

La figure 3 représente l'ensemble obtenu après collage, selon l'invention, du second substrat 2 sur le premier substrat 1.

30 Le scellement entre le premier substrat 1 le second substrat 2 pourra être réalisé, de préférence, par adhésion moléculaire ou par collage polymère ; de préférence, on évitera d'utiliser une colle en couche afin de ne pas augmenter le nombre total de couches. Mais on pourra aussi réaliser ce

scellement, par exemple, par soudure eutectique ou anodique (en anglais, « *anodic bonding* ») ; on notera toutefois que les soudures et les brasures peuvent être ici d'un usage peu commode, en raison de problèmes, bien connus de l'homme du métier, de mouillabilité, de dégazage, ou d'isolation

5 thermique associés à ces techniques.

On voit ainsi que dans la puce résultant du procédé selon l'invention, l'interface au niveau de laquelle les deux substrats ont été scellés délimite deux parties de la puce, une partie contenant au moins un composant actif du circuit intégré, et l'autre partie contenant les composants critiques du circuit intégré.

10 On notera en particulier, dans ce mode de réalisation, le respect de l'alignement entre les MEMS 8 et les évidements 5. Le procédé de fabrication selon l'invention assure ainsi la protection des composants électromécaniques tels que ces MEMS 8.

A ce stade, pour compléter la fabrication de la puce selon l'invention,

15 il est nécessaire de construire le réseau d'interconnexions permettant de connecter les électrodes des condensateurs, et le réseau d'interconnexions sous-jacent du second substrat 2. On notera que, dans le cadre de l'invention, il s'agit ici d'accéder à des couches enterrées, contrairement aux procédés de fabrication monolithiques selon l'état de l'art dans lesquels on peut déposer et

20 graver immédiatement chaque couche successive.

Ces étapes finales vont conduire à la puce 100 illustrée sur la **figure 4**.

a) On amincit et polit le second substrat 2 ; pour ce faire, on peut par exemple appliquer un polissage mécano-chimique ; on peut aussi, comme

25 expliqué dans le brevet EP0807970, réaliser une implantation ionique dans un plan du substrat 2, de façon à créer des microcavités qui fragilisent le substrat et permettent une fracture subséquente suivant ce plan. On poursuit l'amincissement jusqu'à pénétrer dans les structures en tranchées 6, 15, et 18.

b) On grave localement le second substrat 2 puis les couches

30 diélectriques à l'aplomb de façon à dégager les futurs contacts sur les plots de métallisation 9 et sur les plots de métallisation 10.

c) On dépose un isolant 11, en SiO₂ par exemple, à basse température, de façon à recouvrir la surface libre du second substrat 2.

d) On réalise des électrodes traversantes 16 (resp. 17) pour connecter les plots de métallisation 9 (resp. 10) à la surface libre de l'isolant 11. Dans ce mode de réalisation, on utilise à cet effet la technique divulguée dans l'article de M. Tomisaka *et al.* intitulé « *Electroplating Cu Fillings for Through-Vias for Three-Dimensional Chip Stacking* » (Electronic Components and Technology Conference, 2002). Cette interconnexion entre les composants du premier substrat 1 et les composants du second substrat 2 au moyen d'électrodes traversantes est illustrée sur la **figure 5**. On grave d'abord l'isolant 11 de façon à :

- réaliser, à des endroits prédéterminés destinés à délimiter de futures lignes conductrices, des motifs en creux ainsi que des trous (en anglais, « *vias* ») dans cet isolant, et
- éliminer l'isolant au fond des vias.

Puis on réalise une métallisation conductrice sur la surface, et dans les trous qui ont été réalisés dans l'isolant. Pour cela, on dépose de fines couches de TaN ou TiN, et on utilise ce fond continu pour réaliser une électrolyse de cuivre épais.

e) On aplanit ce cuivre et ledit fond continu selon des techniques connues (par exemple, par polissage mécano-chimique) jusqu'à leur élimination complète des zones hautes de l'isolant, pour ne laisser du métal que dans les motifs en creux dessinés à l'étape d), dans les tranchées de l'isolant et dans les trous verticaux : on obtient ainsi, d'une part, des électrodes traversantes (16,17), et d'autre part, en surface, des inductances 12 selon une structure dite « *Damascene* » (voir la figure 5). L'épaisseur des creux et du métal seront choisis de façon à minimiser la résistance de cette couche.

Selon un autre mode de réalisation, la métallisation peut être réalisée, de manière connue, par une partie traversante en tungstène associée à des lignes ou des plots en aluminium.

L'invention permet de diminuer fortement les pertes par courants induits puisque, en réalisant ces inductances 12 sur la face du second substrat

2 opposée à la face de scellement, on éloigne ces inductances 12 du premier substrat 1 (qui peut être un bon conducteur), d'une épaisseur pouvant être élevée, et que les tranchées 18 situées sous les inductances 12 suppriment les courants induits.

5 La présente invention ne se limite pas aux modes de réalisation décrits ci-dessus : en fait, l'homme de l'art pourra mettre en œuvre diverses variantes de l'invention tout en restant à l'intérieur de la portée des revendications ci-jointes. Par exemple, on a décrit ci-dessus des modes de réalisation dans lesquels la gravure des diverses couches était effectuée après
10 report du second substrat sur le premier ; mais il est parfaitement possible d'effectuer certaines étapes de gravure sur le premier substrat 1 et/ou sur le second substrat 2 *avant* l'étape de report. D'autre part, on pourra naturellement ajouter d'autres éléments, tels que des couches barrière ou des couches anti-adhésives, aux éléments composant les modes de réalisation décrits ci-dessus.

15 Quel que soit le mode de réalisation choisi, le procédé de fabrication selon l'invention comprend, comme expliqué ci-dessus et comme illustré sur les figures, le scellement des substrats (1) et (2) par report de couche, c'est-à-dire par adhésion d'une face du premier substrat (1) à une face du second substrat (2) sur la majeure partie de leur surface (adhésion « pleine tranche »).

20 On notera que la puce ainsi obtenue est particulièrement robuste, car constituée d'un seul empilement de couches (par rapport aux dispositifs selon l'art antérieur constitués de parties reliées entre elles par des joints, ou des perlures, de soudure ou de brasure). Cette robustesse permet notamment de réaliser en toute sécurité des évidements (motifs en creux, vias, et ainsi de
25 suite) dans la puce au cours des derniers stades de sa fabrication, c'est-à-dire *après* le scellement des deux substrats ; comme expliqué ci-dessus, on peut ainsi mettre en place de manière particulièrement commode des inductances ou des interconnexions (par exemple) dans le circuit intégré. On notera également que la puce ainsi obtenue est, pour les mêmes raisons,
30 particulièrement compacte par rapport auxdits dispositifs selon l'art antérieur.

REVENDEICATIONS

1. Procédé de fabrication de puce contenant un circuit intégré
5 comprenant des composants actifs et des composants passifs, caractérisé en ce qu'il comprend les étapes suivantes :

- on réalise un premier substrat (1) contenant au moins un composant actif (3) parmi lesdits composants actifs, et un second substrat (2) contenant les composants « critiques » (7,8) parmi lesdits composants passifs, et
10 - on scelle les deux substrats (1) et (2) par report de couche.

2. Procédé selon la revendication 1, caractérisé en ce que ledit au moins un composant actif (3) comprend des transistors.

3. Procédé selon la revendication 1 ou la revendication 2, caractérisé en ce que lesdits composants passifs critiques comprennent au moins un
15 condensateur (7) et/ou au moins un MEMS (8).

4. Procédé selon la revendication 3, caractérisé en ce que le matériau diélectrique dudit au moins un condensateur (7) est une pérovskite.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que ledit second substrat (2) est en un matériau
20 électriquement conducteur.

6. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que ledit second substrat (2) est en un matériau diélectrique.

7. Procédé selon la revendication 6, caractérisé en ce que le second substrat (2) est en pérovskite.

8. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, au cours de la réalisation du second substrat (2), des tranchées d'isolation diélectrique (6).
25

9. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, au cours de la réalisation du second substrat (2), au moins un composant passif non critique tel qu'un
30 condensateur en tranchées (15).

10. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, après ledit scellement des deux substrats (1) et (2), au moins une inductance (12) au voisinage de la face du second substrat (2) opposée à la face de scellement.

5 11. Procédé selon la revendication 10, caractérisé en ce que l'on élabore ladite au moins une inductance (12) au-dessus de tranchées d'isolation inductive (18) préalablement aménagées dans le second substrat (2).

12. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, après ledit scellement des deux
10 substrats (1) et (2), au moins une ligne d'interconnexion (16,17) traversant tout ou partie du second substrat (2).

13. Puce (100) fabriquée au moyen d'un procédé selon l'une quelconque des revendications 1 à 12.

14. Puce (100) contenant un circuit intégré comprenant des
15 composants actifs et des composants passifs, et constituée d'un seul empilement de couches, caractérisée en ce qu'elle comporte une interface entre deux desdites couches telle que la partie de la puce (100) située d'un côté de ladite interface contienne au moins un composant actif (3) parmi lesdits composants actifs, et l'autre partie de la puce (100) contienne les composants
20 « critiques » (7,8) parmi lesdits composants passifs.

15. Puce selon la revendication 14, caractérisée en ce que lesdits composants passifs critiques comprennent au moins un condensateur (7) dont le matériau diélectrique est une pérovskite, et/ou au moins un MEMS (8) enfermé dans un évidement (5) situé à l'intérieur de ladite puce (100).

25 16. Puce selon la revendication 14 ou la revendication 15, caractérisée en ce qu'elle comprend en outre des tranchées d'isolation diélectrique (6).

17. Puce selon l'une quelconque des revendications 14 à 16, caractérisée en ce que ledit circuit intégré comprend en outre au moins un
30 composant passif non critique tel qu'un condensateur en tranchées (15).

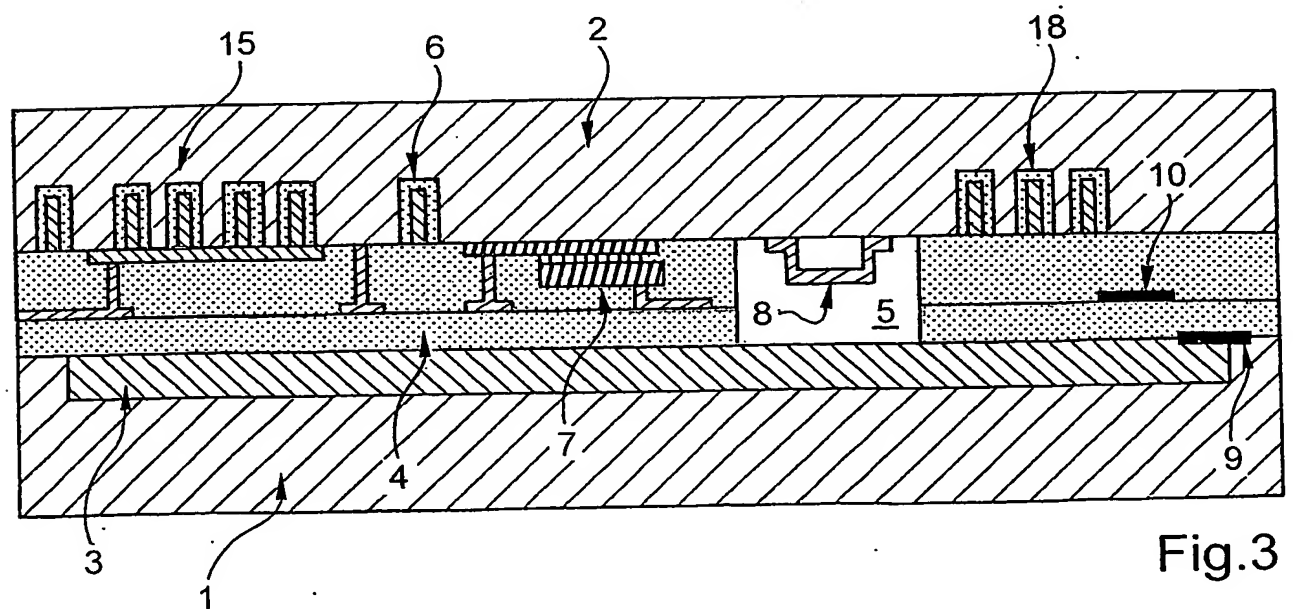
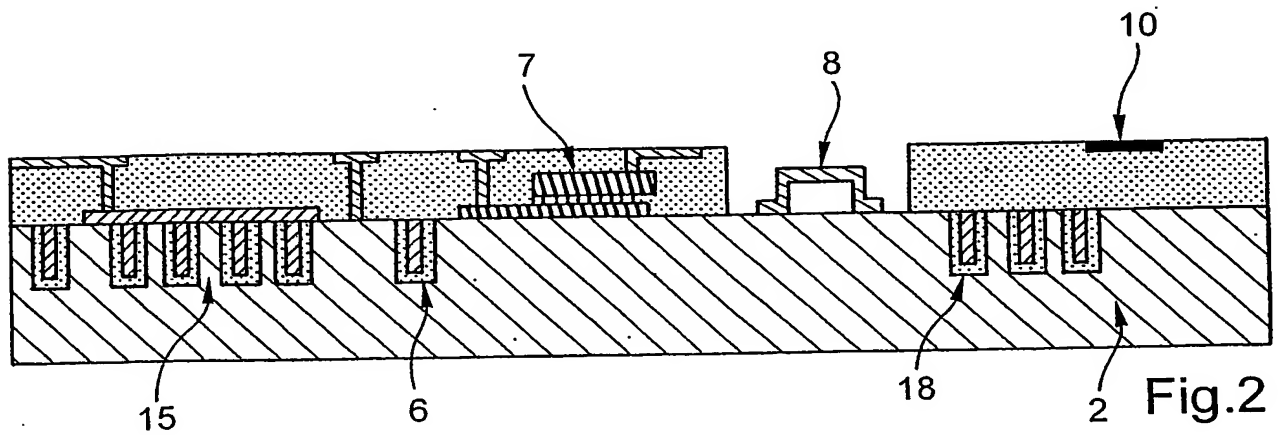
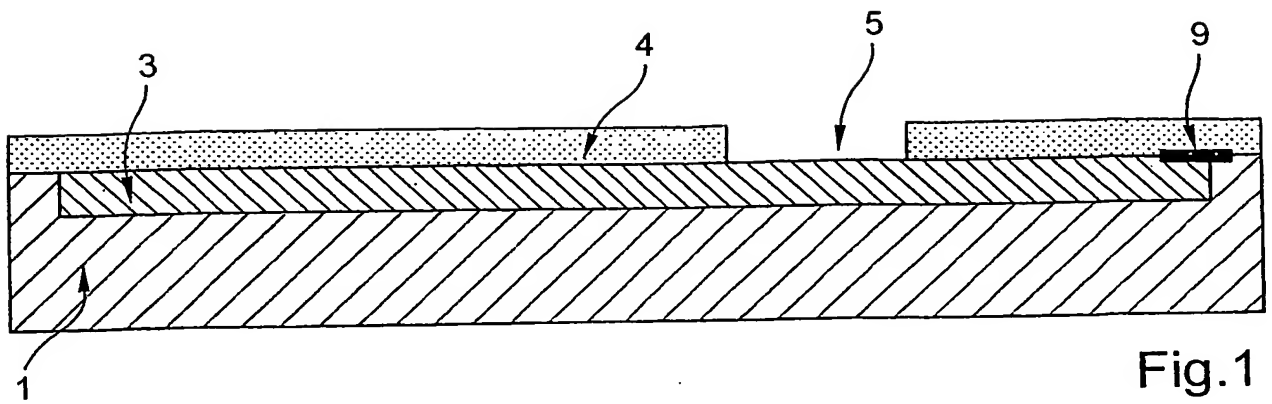
18. Puce selon l'une quelconque des revendications 14 à 17, caractérisée en ce que lesdits composants actifs (3) sont disposés au voisinage

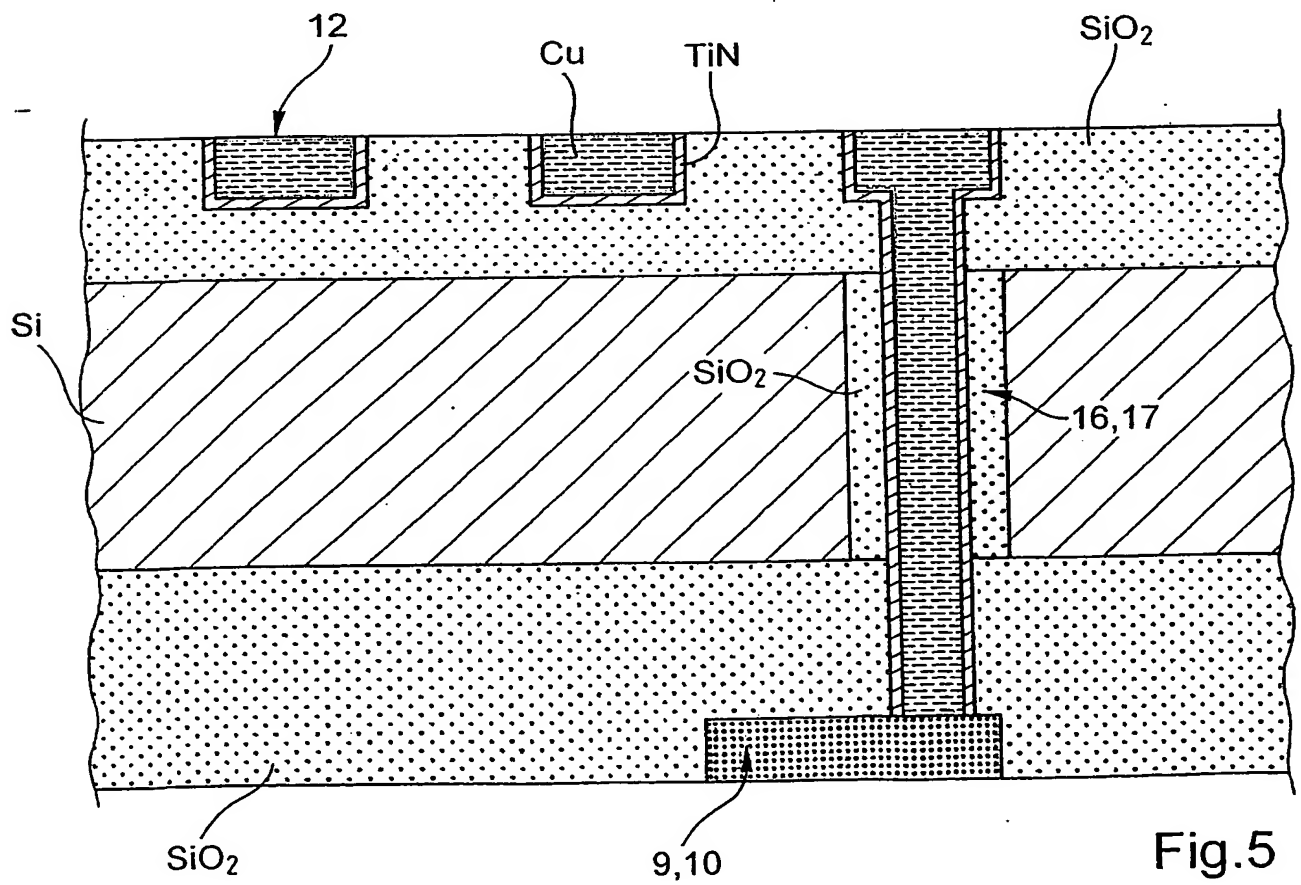
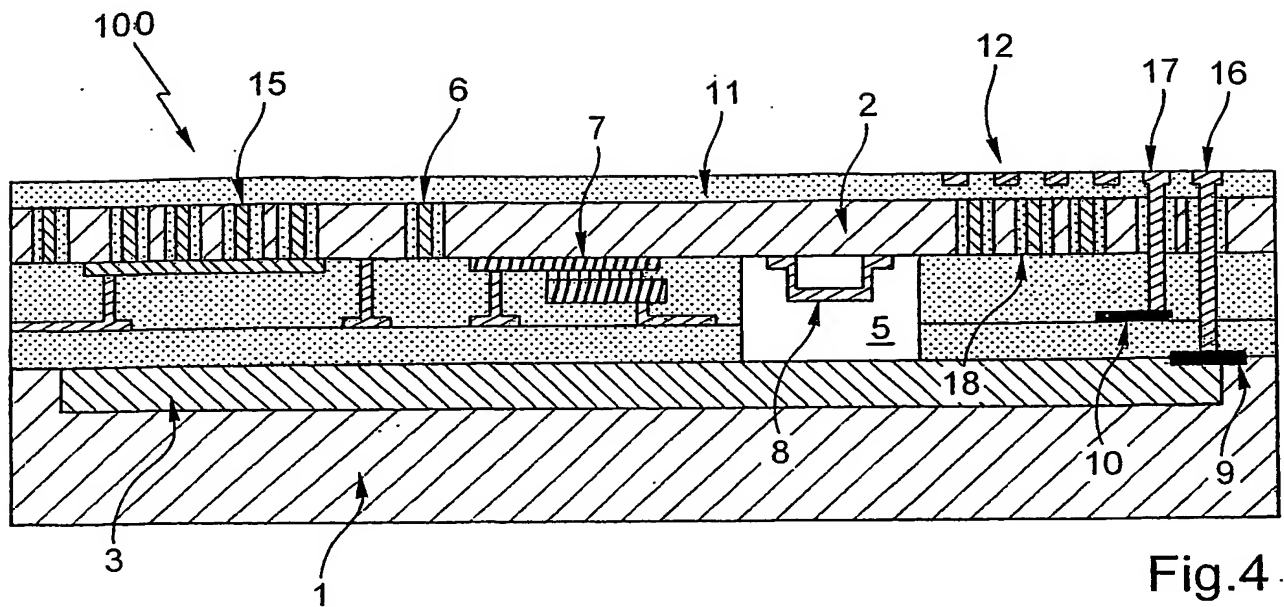
d'une première face de la puce (100), et en ce que ledit circuit intégré comprend en outre au moins une inductance (12) située au voisinage de la face de la puce (100) opposée à ladite première face.

19. Puce selon la revendication 18, caractérisée en ce que ladite au
5 moins une inductance (12) est située au-dessus de tranchées d'isolation inductive (18).

20. Puce selon l'une quelconque des revendications 14 à 19, caractérisée en ce que lesdits composants actifs (3) sont disposés au voisinage d'une première face de la puce (100), et qu'elle comprend en outre au moins
10 une ligne d'interconnexion (16,17) traversante qui émerge au voisinage de la face de la puce (100) opposée à ladite première face.

1/2





(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
6 janvier 2005 (06.01.2005)

PCT

(10) Numéro de publication internationale
WO 2005/000733 A3

(51) Classification internationale des brevets⁷ : B81B 7/00,
H01L 21/822, 21/02, 21/334, 23/00, 29/94

(21) Numéro de la demande internationale :
PCT/FR2004/001565

(22) Date de dépôt international : 23 juin 2004 (23.06.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
03/07617 24 juin 2003 (24.06.2003) FR

(71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31/33, rue de la Fédération, F-75752 Paris Cedex 15 (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : JOLY,

Jean-Pierre [FR/FR]; 22, place Salvadore Allende,
F-38120 Saint-Egrève (FR). ULMER, Laurent [FR/FR];
55bis, rue de Stalingrad, F-38100 Grenoble (FR). PARAT,
Guy [FR/FR]; 26, rue du Drac, F-38640 Claix (FR).

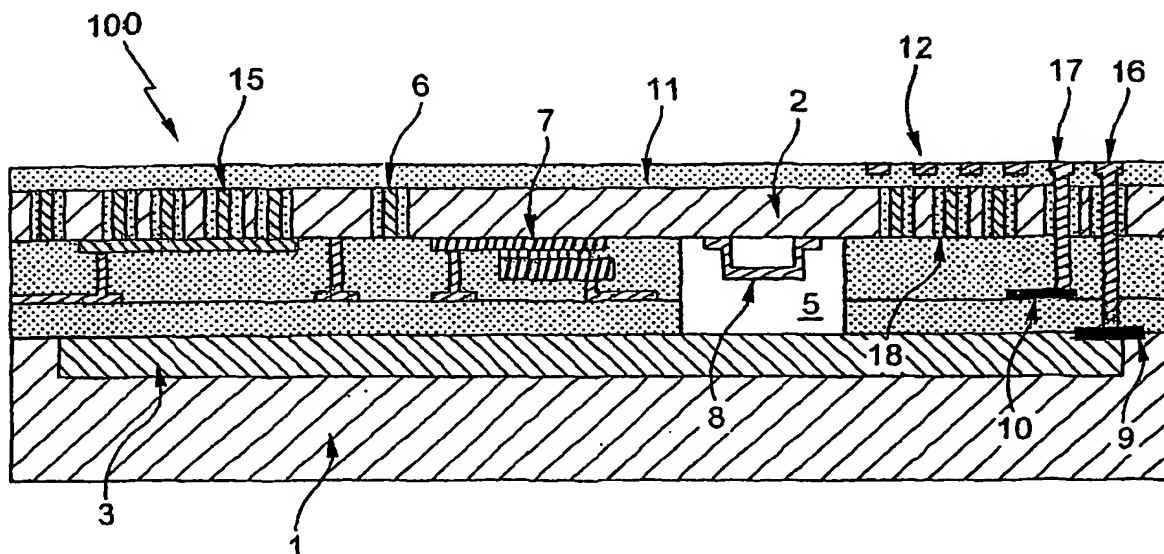
(74) Mandataire : SANTARELLI; 14, avenue de la Grande-
Armée, B.P. 237, F-75822 Paris Cedex 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,
KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG,
MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH,
PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: INTEGRATED CIRCUIT ON HIGH PERFORMANCE CHIP

(54) Titre : CIRCUIT INTEGRE SUR PUCE DE HAUTES PERFORMANCES



(57) Abstract: The invention relates to a production method for a chip, comprising an integrated circuit with active components and passive components. Said method comprises the following steps: the production of a first substrate (1), containing at least one active component (3) of said active components and a second substrate (2), containing the critical components (7,8) of said passive components (in other words, the passive components whose embodiment directly on the substrate containing the active circuits and the metallic interconnections would cause problems), subsequently the two substrates (1) and (2) are joined by layer transfer. The active components (3) can be, for example, transistors. The critical passive components can for example be MEMS (8) and/or capacitors (7), particularly capacitors the dielectric material of which is a perovskite. The invention further relates to a chip (100) produced by the above method.

[Suite sur la page suivante]



(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

(88) Date de publication du rapport de recherche internationale:

25 août 2005

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : La présente invention concerne un procédé de fabrication de puce contenant un circuit intégré comprenant des composants actifs et des composants passifs. Ce procédé comprend les étapes suivantes : on réalise un premier substrat (1) contenant au moins un composant actif (3) parmi lesdits composants actifs, et un second substrat (2) contenant les composants « critiques » (7,8) parmi lesdits composants passifs (c'est à dire des composants passifs dont l'élaboration directement sur le substrat contenant les circuits actifs et les interconnexions métalliques poserait problème), puis l'on scelle les deux substrats (1) et (2) par report de couche. Ces composants actifs (3) peuvent par exemple être des transistors. Ces composants passifs « critiques » peuvent par exemple être des MEMS (8) et/ou des condensateurs (7), notamment des condensateurs dont le matériau diélectrique est une pérovskite. L'invention concerne également une puce (100) fabriquée au moyen d'un procédé selon l'invention.

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/FR2004/001565

A. CLASSIFICATION OF SUBJECT MATTER

 IPC 7 B81B7/00 H01L21/822 H01L21/02 H01L21/334 H01L23/00
 H01L29/94

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 B81B H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 03/021667 A (HONEYWELL INT INC) 13 March 2003 (2003-03-13)	1-3, 5, 6, 10, 11, 13, 15, 18, 19
Y	figures 1, 14, 15, 18, 19 page 1, line 20 - page 2, line 17 page 6, line 1 - page 8, line 22 page 9, line 16 - page 13, line 22 page 17, line 7 - page 18, line 7 page 20, line 1 - line 12 ----- -/--	4, 8, 9, 12, 16, 17, 20

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

8 document member of the same patent family

Date of the actual completion of the international search

29 June 2005

Date of mailing of the international search report

06/07/2005

Name and mailing address of the ISA

 European Patent Office, P.B. 5618 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

McGinley, C

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2004/001565

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 096 259 A (SAMSUNG ELECTRONICS CO LTD) 2 May 2001 (2001-05-02) figure 5 column 2, paragraph 5 - paragraph 7 column 5, paragraph 13 - column 7, paragraph 25 -----	1-3, 6, 13, 15
X	DE 101 53 319 A (AUSTRIAMICROSYSTEMS AG SCHLOS) 15 May 2003 (2003-05-15) figure 1 -----	1-3, 13, 15
X	US 2002/000646 A1 (SCHIMERT THOMAS R ET AL) 3 January 2002 (2002-01-03) figures 6-9, 12-14 page 5, paragraph 56 - page 6, paragraph 58 page 6, paragraph 60 - paragraph 63 -----	1-3, 5, 13, 15
X	US 6 407 929 B1 (KOHMURA TOSHIMI ET AL) 18 June 2002 (2002-06-18) figures 3, 10, 16, 17 column 9, line 18 - column 10, line 38 -----	14 4
Y	US 6 306 720 B1 (DING YEN-LIN) 23 October 2001 (2001-10-23) column 1, line 15 - line 22; figure 2A column 2, line 48 - line 53 -----	8, 9, 16, 17
Y	US 2003/001221 A1 (FISCHER FRANK ET AL) 2 January 2003 (2003-01-02) page 3, paragraph 35 - page 4, paragraph 51; figures 1, 5-7 -----	12, 20
A	US 2002/185469 A1 (KHAN ANISUL ET AL) 12 December 2002 (2002-12-12) figures 4F, 7A-7J, 8A-8H -----	8, 9, 17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR2004/001565

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 03021667	A	13-03-2003	US 2003045044 A1 WO 03021667 A2 US 2004178473 A1	06-03-2003 13-03-2003 16-09-2004
EP 1096259	A	02-05-2001	KR 2001044908 A EP 1096259 A1 JP 2001189467 A US 2003132493 A1 US 6559487 B1	05-06-2001 02-05-2001 10-07-2001 17-07-2003 06-05-2003
DE 10153319	A	15-05-2003	DE 10153319 A1 CN 1578911 A WO 03038449 A1 EP 1440322 A1 US 2005067695 A1	15-05-2003 09-02-2005 08-05-2003 28-07-2004 31-03-2005
US 2002000646	A1	03-01-2002	US 6521477 B1 AU 3475001 A EP 1272422 A2 JP 2003531475 T WO 0156921 A2	18-02-2003 14-08-2001 08-01-2003 21-10-2003 09-08-2001
US 6407929	B1	18-06-2002	AU 6694401 A CN 1468448 A EP 1360721 A2 WO 0203463 A2	14-01-2002 14-01-2004 12-11-2003 10-01-2002
US 6306720	B1	23-10-2001	NONE	
US 2003001221	A1	02-01-2003	DE 10104868 A1 EP 1228998 A2 JP 2002273699 A US 2004195638 A1	22-08-2002 07-08-2002 25-09-2002 07-10-2004
US 2002185469	A1	12-12-2002	EP 1077475 A2	21-02-2001

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No
PCT/FR2004/001565

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 881B7/00 H01L21/822 H01L21/02 H01L21/334 H01L23/00
H01L29/94

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 881B H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 03/021667 A (HONEYWELL INT INC) 13 mars 2003 (2003-03-13)	1-3,5,6, 10,11, 13,15, 18,19
Y	figures 1,14,15,18,19 page 1, ligne 20 - page 2, ligne 17 page 6, ligne 1 - page 8, ligne 22 page 9, ligne 16 - page 13, ligne 22 page 17, ligne 7 - page 18, ligne 7 page 20, ligne 1 - ligne 12 ----- -/--	4,8,9, 12,16, 17,20

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (lettre qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *Z* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

29 juin 2005

Date d'expédition du présent rapport de recherche internationale

06/07/2005

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

McGinley, C

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	EP 1 096 259 A (SAMSUNG ELECTRONICS CO LTD) 2 mai 2001 (2001-05-02) figure 5 colonne 2, alinéa 5 - alinéa 7 colonne 5, alinéa 13 - colonne 7, alinéa 25 -----	1-3,6, 13,15
X	DE 101 53 319 A (AUSTRIAMICROSYSTEMS AG SCHLOS) 15 mai 2003 (2003-05-15) figure 1 -----	1-3,13, 15
X	US 2002/000646 A1 (SCHIMERT THOMAS R ET AL) 3 janvier 2002 (2002-01-03) figures 6-9,12-14 page 5, alinéa 56 - page 6, alinéa 58 page 6, alinéa 60 - alinéa 63 -----	1-3,5, 13,15
X	US 6 407 929 B1 (KOHMURA TOSHIMI ET AL) 18 juin 2002 (2002-06-18) figures 3,10,16,17 colonne 9, ligne 18 - colonne 10, ligne 38 -----	14 4
Y	US 6 306 720 B1 (DING YEN-LIN) 23 octobre 2001 (2001-10-23) colonne 1, ligne 15 - ligne 22; figure 2A colonne 2, ligne 48 - ligne 53 -----	8,9,16, 17
Y	US 2003/001221 A1 (FISCHER FRANK ET AL) 2 janvier 2003 (2003-01-02) page 3, alinéa 35 - page 4, alinéa 51; figures 1,5-7 -----	12,20
A	US 2002/185469 A1 (KHAN ANISUL ET AL) 12 décembre 2002 (2002-12-12) figures 4F,7A-7J,8A-8H -----	8,9,17

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dep. de Internationale No

PCT/FR2004/001565

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 03021667	A	13-03-2003	US 2003045044 A1	06-03-2003
			WO 03021667 A2	13-03-2003
			US 2004178473 A1	16-09-2004
EP 1096259	A	02-05-2001	KR 2001044908 A	05-06-2001
			EP 1096259 A1	02-05-2001
			JP 2001189467 A	10-07-2001
			US 2003132493 A1	17-07-2003
			US 6559487 B1	06-05-2003
DE 10153319	A	15-05-2003	DE 10153319 A1	15-05-2003
			CN 1578911 A	09-02-2005
			WO 03038449 A1	08-05-2003
			EP 1440322 A1	28-07-2004
			US 2005067695 A1	31-03-2005
US 2002000646	A1	03-01-2002	US 6521477 B1	18-02-2003
			AU 3475001 A	14-08-2001
			EP 1272422 A2	08-01-2003
			JP 2003531475 T	21-10-2003
			WO 0156921 A2	09-08-2001
US 6407929	B1	18-06-2002	AU 6694401 A	14-01-2002
			CN 1468448 A	14-01-2004
			EP 1360721 A2	12-11-2003
			WO 0203463 A2	10-01-2002
US 6306720	B1	23-10-2001	AUCUN	
US 2003001221	A1	02-01-2003	DE 10104868 A1	22-08-2002
			EP 1228998 A2	07-08-2002
			JP 2002273699 A	25-09-2002
			US 2004195638 A1	07-10-2004
US 2002185469	A1	12-12-2002	EP 1077475 A2	21-02-2001